****

**Instituto Superior de Engenharia de Lisboa**

**Engenharia Informática e de Computadores**

*Sistemas Operativos*

*1ºSérie*

Docente: Jorge Martins

Filipe Fé nº 42141

Inês Gomes nº 42160

Alexandre Tomé nº 42190

**Exercício 1**

a)

28 \* 210 \* 210 \* 212 = 240 🡆 40 bits de endereço virtual

22 \* 210 = 4KB 🡆 dimensão de cada página (offset)

b)

= 238 🡆 38 bits de endereço físico (quatro vezes inferior)

38 – 12 = 26 🡆 endereço base na RAM

32 – 26 = 6 🡆 bits de controlo

Cada PTE tem 32 bits porque ocupa 4bytes.

c)

Mantendo os 3 níveis de tabelas, podemos aumentar em 2 bits a tabela de primeiro nível, ficando assim com 210 entradas. Desta forma, o espaço de endereçamento virtual passo a ser 242 bytes.

d)

**Exercício 2**

**a)**

43 bits.

**b)**

Existem 3 níveis de tradução na arquitetura.

A PTE tem 64 bits, onde 32 são de PFN e 16 de controlo.

(Figura 22-3: Page Table Entry(PTE))

**c)**

|  |  |  |
| --- | --- | --- |
| **Dimensão da página (bytes)** | **Esp. End. Virt. (bits)** | **Nº entradas tabela 1º nível** |
| 8K | 43 | 210 |
| 16K | 43-47 | 211 |
| 32K | 43-51 | 212 |
| 64K | 44-55 | 213 |

**d)**

???????????????????????????????

**e)**

???????????????????????????????